

PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

Patent number: JP2002100589

Publication date: 2002-04-05

Inventor: AMADA HARUO

Applicant: HITACHI LTD

Classification:

- international: H01L21/02; H01L21/301; H01L21/304; H01L21/306;
H01L29/41; H01L21/02; H01L29/40; (IPC1-7):
H01L21/301; H01L21/02; H01L21/304; H01L21/306;
H01L29/41

- european:

Application number: JP20000287094 20000921

Priority number(s): JP20000287094 20000921

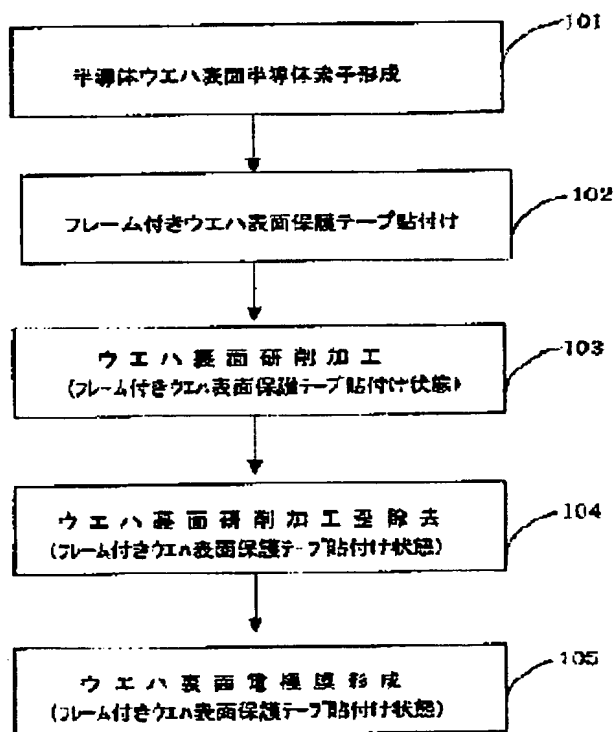
Report a data error here

Abstract of JP2002100589

PROBLEM TO BE SOLVED: To enable thin finish working of a semiconductor wafer without cracking or chipping the semiconductor wafer and to form a metal electrode film on the back side of the semiconductor wafer without cracking or chipping the thinned semiconductor wafer, with which a semiconductor device is formed on the principal surface of the semiconductor wafer.

SOLUTION: After the semiconductor device is formed on the principal surface of the semiconductor wafer, a wafer surface protecting adhesive tape with reinforcing frame is stuck onto the principal surface of the semiconductor wafer. In such a state, the back side of the semiconductor wafer is worked and the semiconductor wafer is finished to be thin.

図 1



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-100589
(P2002-100589A)

(43) 公開日 平成14年4月5日 (2002.4.5)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/301		H 0 1 L 21/02	C 4 M 1 0 4
21/02		21/304	6 2 1 B 5 F 0 4 3
21/304	6 2 1		6 3 1
	6 3 1	21/78	M
21/306		21/306	R
審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願2000-287094(P2000-287094)

(22) 出願日 平成12年9月21日 (2000.9.21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 天田 春男

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100083552

弁理士 秋田 収喜

Fターム(参考) 4M104 BB09 BB14 CC01 DD34 DD37

DD43 DD52 DD53 FF02 GG09

GG18 HH20

5F043 AA02 BB02 BB07 DD13 EE07

EE08 GG10

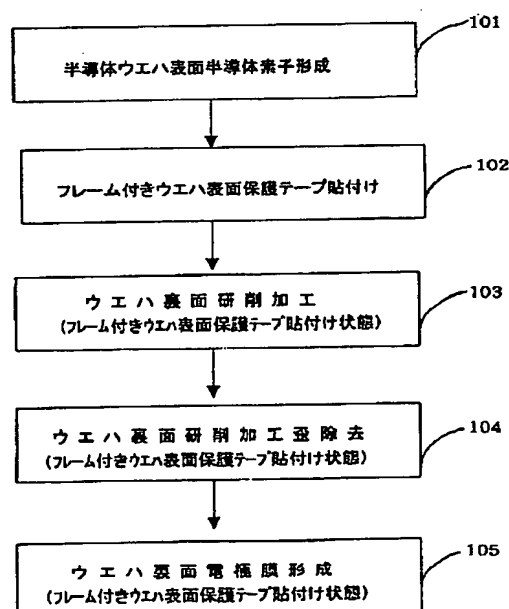
(54) 【発明の名称】 半導体装置製造方法

(57) 【要約】

【課題】 半導体ウエハ割れや欠けを発生させることなく、半導体ウエハを薄仕上げ加工する。また、半導体ウエハ主面に半導体素子を形成した薄型化された半導体ウエハに、割れや欠けを発生させることなく、半導体ウエハ裏面に、金属電極膜を形成する。

【解決手段】 半導体ウエハ主面に半導体素子を形成した後、半導体ウエハ主面に補強枠付きウエハ表面保護粘着テープを貼り付ける。この状態で、半導体ウエハ裏面を加工し、半導体ウエハを薄仕上げる。

図 1



【特許請求の範囲】

【請求項1】 半導体ウエハの第1の主面（表面）に半導体素子を形成する第1の工程と、前記第1の工程後、前記半導体ウエハの第1の主面に、補強枠付き保護粘着テープを貼り付ける第2の工程と、前記第2の工程後、前記半導体ウエハの第2の主面（裏面）を加工処理する第3の工程を具備する半導体装置製造方法であって、前記半導体ウエハの第1の主面に貼り付けられる保護粘着テープに、それを補強するための補強枠を設けることを特徴とする半導体装置製造方法。

【請求項2】 半導体ウエハの第1の主面（表面）に半導体素子を形成する第1の工程と、前記半導体ウエハの第1の主面に貼り付けられる保護粘着テープに、それを補強するための補強枠を設ける第2の工程と、前記第2の工程後、前記半導体ウエハの第1の主面に、補強枠付き保護粘着テープを貼り付ける第3の工程と、前記第3の工程後、前記半導体ウエハの第2の主面（裏面）を加工処理する第4の工程と、前記第4の工程後、前記補強枠付きウエハ表面保護粘着テープで保護された半導体ウエハの裏面に、金属膜を形成する第5の工程を具備する

ことを特徴とする半導体装置製造方法。

【請求項3】 半導体ウエハの第1の主面（表面）に半導体素子を形成する第1の工程と、前記半導体ウエハの第1の主面に貼り付けられる保護粘着テープに、それを補強するための補強枠を設ける第2の工程と、第2の工程後、前記半導体ウエハの第1の主面に、補強枠付き保護粘着テープを貼り付ける第3の工程と、前記第3の工程後、前記半導体ウエハの第2の主面（裏面）を加工処理する第4の工程と、前記第4の工程後、前記補強枠付きウエハ表面保護粘着テープに貼り付けた半導体ウエハの裏面に、補強枠付きチップ分離粘着テープを貼り付ける第5の工程と、前記第5の工程後、補強枠付きチップ分離粘着テープに半導体ウエハの裏面を貼り付けた状態で、前記補強枠付きウエハ表面保護粘着テープを剥離する第6の工程を具備することを特徴とする請求項1又は2に記載の半導体装置製造方法。

【請求項4】 前記第6の工程後に、前記補強枠付きチップ分離粘着テープに半導体ウエハの裏面を貼り付けた状態で、半導体ウエハ表面の半導体チップ分離エリアを分離加工する第7の工程を具備することを特徴とする請求項3に記載の半導体装置製造方法。

【請求項5】 半導体ウエハ裏面を加工する工程は、研削加工方法、研磨加工方法、化学的エッチング加工方法、物理化学的エッチング方法若しくは、これらの方法を2つ以上組み合わせた方法であることを特徴とする請求項1乃至4のうちいずれか1項に記載の半導体装置製造方法。

【請求項6】 前記半導体ウエハ裏面に金属膜を形成する工程は、真空蒸着方法、スパッタリング方法、CVD（Chemical Vapor Deposition）方法、メッキ方法で

あることを特徴とする請求項1乃至5のうちいずれか1項に記載の半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特に、半導体ウエハの第1の主面（表面）に半導体素子を形成し、前記表面に半導体素子を形成した半導体ウエハの第2の主面（裏面）を薄仕上げ加工する技術に適用して有効な技術に関する。

【0002】

【従来の技術】半導体装置を製造方法として、半導体ウエハ主面に半導体素子を形成した後、半導体ウエハ裏面薄仕上げ加工し、半導体ウエハ裏面に半導体装置裏面電極を形成する処理方法がある。更に、半導体装置として機能させる半導体チップサイズに切断加工する方法がある。

【0003】最近、ICカードに代表されるように、薄型パッケージに半導体装置（半導体チップ）を実装する要求が高まり、裏面電極なしメモリ系IC、LSIでは、半導体チップ厚さ50μm厚が要求されている。

【0004】一方、電気伝導キャリアを半導体チップの厚さ方向に移動することで、半導体素子動作をするトランジスタ構造有する裏面電極を有する半導体装置においても、半導体チップ厚さ100μm以下が要求されている。例えば、特開平10-92778号公報（文献1）がある。

【0005】この文献1は、半導体ウエハ主面に半導体素子を形成した半導体ウエハ裏面を薄仕上げ加工後に、半導体ウエハ基板裏面から、電極を引き出す必要のある半導体装置製造方法に関する。

【0006】特に、半導体ウエハ径が大口径化し、半導体ウエハ仕上げ厚さが100μm以下に薄型化した際に発生する半導体ウエハ割れや、欠けの課題を解決する方法に関する。

【0007】具体的には、半導体ウエハ裏面に金属電極膜を蒸着後、その裏面電極膜に電気導電性粘着テープを貼り付け、この電気導電性テープを貼り付けた状態で、半導体チップサイズにダイシングする。

【0008】更に、この電気導電性テープを貼り付けた状態で、半導体チップをダイボンディングすることの特徴とする。

【0009】半導体ウエハ裏面に金属電極膜を蒸着後に、電気導電性テープを貼り付けた状態で、100μm以下に薄型化した半導体ウエハをハンドリングできることから、薄型化した半導体ウエハの割れ欠けを防止できる。

【0010】

【発明が解決しようとする課題】前記、文献1に記載された半導体装置製造方法は、薄型化された半導体ウエハ裏面に金属電極膜を蒸着する処理工程から、ダイシン

10

20

30

40

50

グ、ダイボンディングする間の工程で、発生する半導体ウエハ割れや欠けを防止できるが、半導体ウエハ裏面薄仕上げ加工処理工程後から、半導体ウエハ裏面電極形成処理工程までの半導体ウエハ割れや欠けの発生を防止することはできない。

【0011】本発明の目的は、半導体ウエハ割れや欠けを発生させることなく、半導体ウエハを薄仕上げ加工する半導体装置製造方法を提供することにある。

【0012】本発明の他の目的は、半導体ウエハ主面に半導体素子を形成した薄型化された半導体ウエハに、割れや欠けを発生させることなく、半導体ウエハ裏面に、金属電極膜を形成する半導体装置製造方法を提供することにある。

【0013】本発明の前記ならびに、その他の目的と新規な特徴は、本明細書の記述及び添付図面により明らかにする。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次の通りである。

【0015】第1の手段としては、半導体ウエハ主面に半導体素子を形成した後、半導体ウエハ主面に補強枠（補強フレーム）付きウエハ表面保護粘着テープ（補強枠付きウエハ表面保護部材）を貼り付ける。この状態で、半導体ウエハ裏面を加工し、半導体ウエハを薄仕上げる。

【0016】第2の手段としては、半導体ウエハ主面に半導体素子を形成した後、半導体ウエハ主面に補強枠（補強フレーム）付きウエハ表面保護粘着テープ（補強枠付きウエハ表面保護部材）を貼り付ける。この状態で、半導体ウエハ裏面を加工し、半導体ウエハを薄仕上げる。

【0017】さらに、補強枠（補強フレーム）付きウエハ表面保護粘着テープ（補強枠付きウエハ表面保護部材）を貼り付けた薄仕上げ半導体ウエハ裏面に、金属膜を形成する。

【0018】第3の手段としては、半導体ウエハ主面に半導体素子を形成した後、半導体ウエハ主面に補強枠（補強フレーム）付きウエハ表面保護粘着テープ（補強枠付きウエハ表面保護部材）を貼り付ける。この状態で、半導体ウエハ裏面を加工し、半導体ウエハを薄仕上げし、補強枠（補強フレーム）付きウエハ表面保護粘着テープ（補強枠付きウエハ表面保護部材）を貼り付けた薄仕上げ半導体ウエハ裏面に、金属膜を形成する。

【0019】さらに、薄仕上げ半導体ウエハ主面に補強枠付きウエハ表面保護粘着テープ（補強枠付きウエハ表面保護部材）を貼り付けた状態で、薄仕上げ半導体ウエハ裏面に補強枠付きチップ分離粘着テープを貼り付ける。

【0020】薄仕上げ半導体ウエハ裏面に貼り付けた補

強枠付きチップ分離粘着テープの粘着力を、薄仕上げ半導体ウエハ主面に貼り付けた補強枠付き表面保護粘着テープ（補強枠付きウエハ表面保護部材）の粘着力より、強い粘着力で構成する。

【0021】この状態で、薄仕上げ半導体ウエハ裏面に補強枠付きチップ分離粘着テープを粘着させ、補強枠付き表面保護粘着テープ（補強枠付きウエハ表面保護部材）を、薄仕上げ半導体ウエハ主面から剥離する。

【0022】第4の手段としては、前記第3の手段の補強枠付き表面保護粘着テープ（補強枠付きウエハ表面保護部材）を、薄仕上げ半導体ウエハ主面から剥離後、薄仕上げ半導体ウエハ裏面に補強枠付きチップ分離粘着テープ貼り付けた状態で、半導体ウエハ表面の半導体チップ分離エリアを分離加工する。

【0023】前述した第1の手段によれば、半導体素子を形成した半導体ウエハ主面に、補強枠（補強フレーム）付きウエハ表面保護粘着テープ（補強枠付き表面保護部材）を貼り付けた状態で、半導体ウエハ裏面を薄仕上げ加工できる。

【0024】この結果、半導体ウエハ薄仕上げ加工後に、半導体ウエハの反り量や、撓み量を補強枠付き表面保護粘着テープ（補強枠付き表面保護部材）で補正できると共に、半導体ウエハの剛性を高めることができる。

【0025】さらに、薄仕上げ加工した半導体ウエハをハンドリングする方法は、補強枠付きウエハ表面保護粘着テープ（補強枠付き表面保護部材）を介した、半導体ウエハハンドリング方法となり、半導体ウエハに割れや欠けを発生させることなく、半導体ウエハを薄仕上げ加工することができる。

【0026】前述した第2の手段によれば、半導体素子を形成した半導体ウエハ主面に、補強枠付きウエハ表面保護粘着テープ（補強枠付き表面保護部材）を貼り付けた状態で、半導体ウエハ裏面を薄仕上げ加工し、半導体ウエハ裏面に金属膜を形成することができる。

【0027】この結果、半導体ウエハ薄仕上げ加工後、薄仕上げ半導体ウエハ裏面に金属膜を形成後に、半導体ウエハの反り量や、撓み量を、補強枠付きウエハ表面保護粘着テープ（補強枠表面保護部材）で補正できると共に、半導体ウエハの剛性を高めることができる。

【0028】さらに、薄仕上げ加工した半導体ウエハ、若しくは、薄仕上げ加工し、裏面に金属膜を形成した半導体ウエハをハンドリングする方法は、補強枠付きウエハ表面保護粘着テープ（補強枠付き表面保護部材）を介した、半導体ウエハハンドリング方法となり、半導体ウエハ割れや欠けを発生させることなく、半導体ウエハを薄仕上げ加工することができる。

【0029】前述した第3の手段によれば、薄仕上げ加工後の半導体ウエハ、若しくは、薄仕上げ加工し、裏面に金属膜を形成した半導体ウエハの半導体素子面に、補強枠付きウエハ表面保護粘着テープ（補強枠付き表面保

10

20

30

40

50

護部材)を貼り付けた状態で、補強枠付きウエハ表面保護粘着テープの粘着力より、粘着力の強い、補強枠付きチップ分離粘着テープを半導体ウエハ裏面に貼り付ける。

【0030】この補強枠付きチップ分離粘着テープを半導体ウエハ裏面に貼り付けた状態で、半導体ウエハ素子面に貼り付けた補強枠付きウエハ表面保護粘着テープを剥離する。

【0031】この結果、薄仕上げ加工後の半導体ウエハ、若しくは、薄仕上げ加工し、裏面に金属膜を形成した半導体ウエハの素子面から、補強枠付きウエハ表面保護粘着テープ(補強枠付き表面保護部材)を剥離する際に、補強枠付きチップ分離粘着テープが、補強材となり、半導体ウエハに割れや欠けを発生させることなく、補強枠付きウエハ表面保護粘着テープを剥離することができる。

【0032】前述した第4の手段によれば、割れ、欠けのない状態で、薄仕上げ加工後の半導体ウエハ、若しくは、薄仕上げ加工し、裏面に金属膜を形成した半導体ウエハ裏面に、補強枠付きチップ分離粘着テープが貼り付けられ、半導体ウエハ表面の半導体チップ分離エリアを分離加工することから、割れ、欠けのない、品質のよい半導体チップが分離できる。

【0033】以下、本発明について、図面を参照して実施の形態(実施例)とともに詳細に説明する。なお、実施の形態(実施例)を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0034】

【発明の実施の形態】(実施例1)本実施例1においては、特に限定されないが、例えば半導体装置裏面にAu電極膜を有する半導体素子を内蔵した半導体ウエハの製造方法に本発明を適用した場合について説明する。

【0035】図1は、その工程の処理フロー図を示し、図2は、半導体ウエハ素子面保護形態要部断面図(枠付きウエハ表面保護テープ貼り付け工程(図1の工程102))、図3は、枠付きウエハ表面保護テープ貼り付け状態のウエハ裏面研削加工概要図(ウエハ裏面研削加工工程(図1の工程103))、図4は、枠付きウエハ表面保護テープ貼り付け状態での、枚葉スピニングエッチング方法によるウエハ裏面研削加工歪除去概要図(ウエハ裏面研削加工歪除去工程(図1の工程104))、図5は、枠付きウエハ表面保護テープ貼り付け状態での、ウエハ裏面電極膜の形成概略図(ウエハ裏面電極膜形成工程(図1の工程105))を示す。

【0036】図1を参照して、半導体装置の製造工程のフロー概要を説明すると、以下の通りである。

【0037】前記半導体ウエハ表面半導体素子形成工程101は、半導体ウエハ主面から内部に不純物を拡散させ、その主面上に絶縁膜や導電膜を形成することによつ

て、半導体ウエハ主面に半導体素子を形成する。

【0038】前記枠付きウエハ表面保護テープ貼り付け工程102は、半導体素子を形成した半導体ウエハ主面に、補強枠付きウエハ表面保護テープを貼り付ける。

【0039】前記ウエハ裏面研削加工工程103は、補強枠付きウエハ表面保護テープを貼り付けた状態で、半導体ウエハ裏面を研削加工し、半導体ウエハを薄仕上げ加工する。

【0040】前記ウエハ裏面研削加工歪除去工程104は、補強枠付きウエハ表面保護テープ貼り付けた状態で、半導体ウエハ裏面研削加工歪み層を除去する。

【0041】前記ウエハ裏面電極膜形成工程105は、補強枠付きウエハ表面保護テープ貼り付け状態で、研削加工歪み層除去した半導体ウエハ裏面に裏面電極膜を形成する。

【0042】前述した半導体ウエハ素子面に、補強枠付きウエハ表面保護テープを貼り付けた状態で、一連の処理により、半導体素子を形成した半導体ウエハを薄仕上げ加工し、半導体裏面に電極を形成できる。

【0043】図2を参照して、本実施例1の半導体ウエハ素子面の保護形態(図1の工程101)について説明する。

【0044】半導体素子形成ウエハ201の半導体素子形成面202に、例えばセラミックス材で構成したセラミック製補強枠203に貼り付けられた耐熱性保護粘着テープ204を貼り付ける。

【0045】耐熱性保護粘着テープ204としては、例えば、三井化学株式会社製イクロステープ型式SB-60P-CN-PT2〔基材：ポリエステル系樹脂、粘着剤；アクリル系粘着剤〕を用いる。このイクロステープ型式SB-60P-CN-PT2テープは耐熱温度200℃である。但し、この耐熱性保護粘着テープ204は、イクロステープ型式SB-60P-CN-PT2に限定されることはない。

【0046】図3を参照して、補強枠付きウエハ表面保護テープ貼り付け状態のウエハ裏面研削加工概要(図1の工程103)について説明する。

【0047】構成から説明すると、補強枠203付き保護粘着テープ204ごと裏面研削前の半導体素子形成ウエハ201を真空吸着し、回転するウエハ真空吸着回転テーブル301と半導体素子形成ウエハ201の裏面を研削加工する回転研削砥石302から構成されている。

【0048】次に、半導体素子形成ウエハ201の裏面を研削する方法について説明する。図2に示す半導体ウエハ素子面保護形態で、補強枠203付き保護粘着テープ204に貼り付けた半導体素子形成ウエハ201を、補強枠203付き保護粘着テープ204ごと、ウエハ真空吸着テーブル301に真空吸着する。この状態で、ウエハ真空吸着テーブル301を低速回転(毎分20~600回転)させながら、研削砥石302を高速回転(毎

分3000～6000回転)させて、半導体素子形成ウエハ201の裏面を研削加工する。

【0049】開示していないが、半導体素子形成ウエハ201の裏面研削加工時に発生する研削加工熱は、純水を半導体素子形成ウエハ201に作用させて除去しながら研削加工を行う。

【0050】図4を参照して、枠付きウエハ表面保護テープ貼り付け状態での、枚葉スピニングエッチング方法によるウエハ裏面研削加工歪除去概要(図1の工程104)について説明する。

【0051】構成から説明すると、補強枠203付き保護粘着テープ204ごと裏面研削後の半導体素子形成ウエハ201を真空吸着し、回転するウエハ真空吸着スピンドル401と、半導体素子形成ウエハ201の裏面研削面をウエットエッチング加工するエッチング液403を滴下するエッチング液滴下ノズル402より構成される。

【0052】次に、スピニングエッチング方法によるウエハ裏面研削加工歪除去方法について説明する。

【0053】図3で説明した、補助枠付きウエハ表面保護テープ貼り付け状態で研削薄仕上げ加工した半導体素子形成ウエハ201を、補強枠203付き保護粘着テープ204ごと、ウエハ真空吸着スピンドル401に真空吸着する。この状態で、ウエハ真空吸着スピンドル401を毎分200～500回転程に回転させながら、エッチング液滴下ノズル402より、半導体素子形成ウエハ201の裏面研削面にエッチング液403を滴下し、研削歪み層をエッチング加工除去する。エッチング液としては、例えば、半導体素子形成ウエハ201がSi系では、フッ酸と硝酸の混合薬液を用い、GaAs系では、アンモニアと過酸化水素水の混合薬液を用いる。

【0054】半導体素子形成ウエハ201の研削加工歪み層エッチング加工除去後、開示していない、エッチング液滴下ノズル402相当の純水供給ノズルより、純水を半導体素子形成ウエハ201のエッチング加工面に供給し、半導体素子形成ウエハ201を水洗する。水洗完了後、ウエハ真空吸着スピンドル401を毎分2000～3000回転に回転し、回転乾燥する。

【0055】図5を参照して、枠付きウエハ表面保護テープ貼り付け状態での、ウエハ裏面電極膜形成概要(図5の工程105)について説明する。

【0056】構成から説明すると、補強枠203付き保護粘着テープ204ごと裏面研削歪み層除去後の半導体素子形成ウエハ201を冷却し、正電位を印加する冷却機能付きアノード電極501、補強枠203付き保護粘着テープ204ごと裏面研削歪み層除去後の半導体素子形成ウエハ201を冷却機能付きアノード電極501に押えつける、ウエハ押え502が構成されている。

【0057】さらに、負電位を印加するカソード電極5

03には、裏面研削歪み層除去後の半導体素子形成ウエハ201裏面に裏面電極膜を形成するAuターゲット504が設けられている。冷却機能付きアノード電極501とカソード電極503間には直流電源505が接続され、高電圧が印加される。

【0058】一方、スパッタ室507は、開示していない真空ポンプにより、真空排気508され、 $10^{-5} \sim 10^{-6}$ Pa台の高真空状態に保たれ、開示していないガス供給装置より、スパッタ室507にArガス509が供給される。

【0059】次に、枠付きウエハ表面保護テープ貼り付け状態での、ウエハ裏面電極膜形成方法について説明する。

【0060】図4で説明した、研削歪み層除去後の半導体素子形成ウエハ201を、補強枠203付き保護粘着テープ204ごと、冷却機能付きアノード電極501に、ウエハ押え502により、押え付け固定する。

【0061】尚、補強枠203、保護テープ204は、冷却機能付きアノード電極501により、常に、保護テープ204の耐熱温度以下に常に制御される。例えば、保護テープ204として、三井化学株式会社製イクロステープ型式SB-60P-CN-PT2〔基材：ポリエステル系樹脂、粘着剤：アクリル系粘着剤〕を用いる場合は、このイクロステープ型式SB-60P-CN-PT2テープの耐熱温度200℃以下に制御する。

【0062】この状態で、スパッタ室507を真空排気508し、高真空($10^{-5} \sim 10^{-6}$ Pa)状態でガス出しを行う、ガス出し後、Arガス509を供給し、直流電源505より、冷却機能付きアノード電極501、カソード電極503に高電圧を印加し、プラズマ放電させ、正イオン化したArガス509が、負電位Auターゲット504に衝突し、Au原子がスパッタリングされ、正電位研削歪み層除去後の半導体素子形成ウエハ201の裏面に吸着され、Au膜が成膜される。

【0063】(実施例2)本実施例2においては、特に限定されないが、例えば縦型パワーMOSFET(Metal Oxide Semiconductor Field Effect Transistor)の製造方法に本発明を適用した場合について説明する。

【0064】図6は、図1の半導体装置製造工程中における半導体ウエハ要部断面図(図1の工程101)を示し、図7は、図6に続く図1の半導体装置製造工程中における半導体ウエハ要部断面図(図1の工程103)、図8は、図7に続く図1の半導体装置製造工程中における半導体ウエハ要部断面図(図1の工程105)を示す。

【0065】図6に示すように、半導体ウエハ1は、例えばn-型のシリコン単結晶からなり、その半導体素子形成面には、複数の半導体チップ形成領域が規則的に配置され、各半導体チップには、例えば、縦型のnチャネル・パワーMOSFETQVが形成されている。

10

20

30

40

50

【0066】このパワーMOSFETQVは、キャリアが半導体ウエハ1の厚さ方向に移動することで動作する素子であり、この段階では、p型の半導体領域18、19、n+型の半導体領域20、ゲート絶縁膜3及びゲート電極4を有している。最も深い位置まで不純物が分布するp型の半導体領域18とそれよりも浅く、かつ、平面的にゲート電極4の一部に重なるように形成されたp型の半導体領域19とは、パワーMOSFETQVのチャンネル領域となる領域である。

【0067】このp型の半導体領域18、19には、例えばホウ素が含有され、互いに電氣的に接続されている。p型の半導体領域19の領域内において、ゲート電極4の端部下方の近傍には、n+型の半導体領域20が形成されている。このn+型の半導体領域20は、パワーMOSFETQVのソース領域を形成する。このn+型の半導体領域20には、例えば、リンまたはヒ素が含有されている。

【0068】なお、パワーMOSFETQVのドレイン領域は、半導体ウエハ1自体のn-型領域とそれよりも下層（半導体ウエハ1の裏面側）に、後ほど形成されるn+型の半導体領域とにより形成される。ゲート絶縁膜3及びゲート電極4は、前記実施例1の形態と同じであり省略する。

【0069】半導体ウエハ1の主面上には、例えば、酸化シリコン膜からなる層間絶縁膜8aが形成されており、これにより、ゲート電極4が被覆されている。層間絶縁膜8a上には、第1層配線9aが形成されている。この第1層配線9aは層間絶縁膜8aに穿孔された接続孔10aを通じてp型の半導体領域19及びn+型の半導体領域20と電氣的に接続されている。層間絶縁膜8a上には、前延した表面保護膜11が被覆され、第1層配線9aが覆われている。

【0070】表面保護膜11の一部には開口部が形成されており、その開口部から露出される第1層配線9aの領域がボンディングパッドBPとなっている（図1の工程101）。

【0071】続いて、図7に示すように、半導体ウエハ1の半導体素子形成面に補強フレーム付きウエハ表面保護粘着テープ13を貼り付ける（図1の工程102）。

【0072】この補強枠（補強フレーム）付きウエハ表面保護粘着テープ13を貼付ける方法の一例としては、図2と同様に、半導体ウエハ1の半導体素子形成面に、ウエハ表面粘着剤（A）13a、耐熱テープ基材（A）13bと、開示していない補強フレームで構成された補強枠付きウエハ表面保護粘着テープ13を貼付ける。

【0073】この状態で、半導体素子が形成されていない半導体ウエハ1の裏面を研削薄仕上げ加工する（図1の工程103）。この処理により、半導体ウエハ1は、例えば、厚さ100μm厚さ以下に薄仕上げ加工する。

【0074】さらに、半導体ウエハ1の裏面をウエット

エッチング加工処理し、例えば80μm厚さに薄仕上げ加工する（図1の工程104）。

【0075】その後、図8に示すように、半導体ウエハ1の裏面に、例えば、チタン／ニッケル／金からなるウエハ裏面導体膜16をスパッタリング処理により、形成して裏面電極を形成する（図1の工程105）。

【0076】なお、半導体ウエハ裏面電極膜材料は前述したチタン／ニッケル／金に限定されることなく、チタン／ニッケル／銀若しくは、金のみでもよい。

【0077】また、裏面電極膜形成方法も、スパッタリング処理方法に限定されることなく、真空蒸着処理方法、CVD処理方法、メッキ処理方法でも良い。

【0078】（実施例3）図9に示す工程901～905は、前記実施例1に開示した図1に示す工程101～105と同等な処理工程であり、詳細説明は省略する。以下、枠付きチップ分離粘着テープ貼付け工程906、枠付きウエハ表面保護テープ剥離工程907、半導体ウエハダイシング加工（チップ化）工程908について説明する。

【0079】図10を参照して、枠付きチップ分離粘着テープ貼付け工程906の処理方法について説明する。

【0080】ウエハ裏面電極膜形成工程905後、半導体素子形成ウエハ201の半導体素子形成面202に補強枠203付き保護テープ204を貼付けた状態で、半導体素子形成ウエハ201のウエハ裏面導体膜16面に、ステンレス製のチップ分離補強枠1001付き、チップ分離粘着テープ（ダイシングテープ）1002を貼付ける。

【0081】チップ分離テープとしては、例えば、リンテック株式会社製UV硬化型ダイシングテープ型式D-650〔基材フィルム；ポリオレフィン、粘着剤；アクリル系UV硬化タイプ〕を用いる。

【0082】図11を参照して、枠付きウエハ表面保護テープ剥離工程907の処理方法について説明する。

【0083】半導体素子形成半導体ウエハ201のウエハ裏面導体膜16面にチップ分離補強枠1001付き、チップ分離粘着テープ1002を貼付けた状態で、補強枠203付き保護テープ204を半導体素子形成ウエハ201の半導体素子形成面202から剥離する。

【0084】例えば、保護粘着テープ204として、三井化学株式会社製イクロステープ型式SB-60P-CN-PT2〔基材；ポリエステル系樹脂、粘着剤；アクリル系粘着剤〕を用い、チップ分離粘着テープ1002として、リンテック株式会社製UV硬化型ダイシングテープ型式D-650〔基材フィルム；ポリオレフィン、粘着剤；アクリル系UV硬化タイプ〕を用いて、保護粘着テープ204を約55℃に加熱する。

【0085】この55℃の加熱状態で、保護粘着テープ204の半導体素子形成面に対する粘着力は約180g/25mmであり、チップ分離粘着テープ1002のウ

エハ裏面導体膜16面に対する粘着力は約300g/25mmである。

【0086】この保護粘着テープ204とチップ分離粘着テープ1002の粘着力差を利用し、補強枠203付き保護テープ204を半導体素子形成ウエハ201の半導体素子形成面202から剥離する。

【0087】図12を参照して、半導体ウエハダイシング加工（チップ化）工程908の処理方法について説明する。

【0088】半導体素子形成半導体ウエハ201のウエハ裏面導体膜16面にチップ分離補強枠1001付き、チップ分離粘着テープ1002を貼付けた状態で、開示していないダイシング装置のXYステージにセットし、半導体素子形成面202のチップ分離エリアを、高速回転（毎分3万～5万回転）されたダイシング砥石ブレード1201により、チップ分離溝1202入れ加工を行い、半導体チップ化を行う。

【0089】前述した実施例1～実施例3においては、補強枠付きウエハ表面保護テープは、ウエハ裏面加工工程、ウエハ裏面研削加工工程、ウエハ裏面電極膜形成工程の全工程を一種類の補強枠付き表面保護テープを用いた例を説明したが、これに限定されることはない。

【0090】例えば、各工程毎、若しくは2つ以上の工程毎に、補強枠付きウエハ表面保護テープを貼付け直してもよい。

【0091】（実施例4）図13に示す半導体装置の製造工程フロー図は、半導体チップ裏面に金属膜等の裏面電極膜を有しない半導体装置の製造工程に、本発明を適用した実施例である。

【0092】具体的には、前記実施例3（図9、図10、図11、図12）で説明した半導体装置の製造工程フロー図において、ウエハ裏面研削加工歪除去工程904、ウエハ裏面電極膜形成工程905を省いた処理工程である。

【0093】簡単に半導体装置の製造工程フローを説明すると、半導体ウエハ表面半導体素子形成工程1301、半導体ウエハ素子面に枠付きウエハ表面保護テープ貼付け工程1302、ウエハ裏面研削工程1303、枠付きチップ分離粘着テープ貼付け工程1304、枠付きウエハ表面保護テープ剥離工程1305、半導体ウエハダイシング加工（チップ化）工程1306により、半導体ウエハ主面に半導体素子を形成し、半導体ウエハ裏面を薄仕上げ研削し、さらに、薄型半導体チップとして分離する。

【0094】（実施例5）図14、図15、図16は、ウエハ表面保護粘着テープ用補強枠の実施例を示す。チップ分離粘着テープ用補強枠に関しても、ウエハ表面保護粘着テープ用補強枠と同種の補強枠を用いる。ウエハ表面保護粘着テープ用補強枠、チップ分離粘着テープ用補強枠に関しては、特に、この実施例5の補強枠に限定

されることなく、種々な材質と形状の応用が可能である。

【0095】好ましくは、補強枠の形状面では半導体ウエハ位置決め機能を付与し、補強枠の材質面では、半導体ウエハハンドリング中、半導体ウエハ処理中に、半導体ウエハを変形させない剛性ある材質であると共に、半導体ウエハを不要不純物等で汚染させない材質を選定することが好ましい。

【0096】さらに、補強枠付きウエハ表面保護粘着テープは、半導体ウエハ処理工程別に貼り替えて半導体ウエハを処理することも可能である。

【0097】図14は、オリフラ付き円形補強枠の実施例を示し、ステンレス製オリフラ付き円形補強枠140に位置決め用オリフラ部141が設けてある。

【0098】このオリフラ付き円形補強枠は、ステンレス製であり、ウエハ表面保護粘着テープ用補強枠として用いる場合には、半導体ウエハ裏面研削加工工程、ドライエッチング処理による半導体ウエハ裏面歪み除去工程や半導体ウエハ裏面電極膜形成工程で用いることが好ましい。

【0099】さらに、このオリフラ付き円形補強枠は、チップ分離粘着テープ用補強枠として使い、半導体ウエハダイシング加工工程や半導体チップダイレクトピックアップダイボンディング工程に用いることが可能である。

【0100】図15は、ノッチ付き円形補強枠の実施例を示し、フッ素樹脂（例えば、テトラフルオロエチレン・パーフルオロアルキルビニルエーテル共重合体）製ノッチ付き円形補強枠150に位置決め用ノッチ部151が設けられている。

【0101】ウエハ表面保護粘着テープ152を貼り付けるフッ素材脂製ノッチ付き円形補強枠150の接着面153は、プラズマ処理等により疎面処理が施され、ウエハ表面保護粘着テープ152の粘着強度が高められている。

【0102】このノッチ付き円形補強枠150は、耐薬品性のフッ素樹脂製であり、ウェットエッチングによる半導体ウエハ裏面歪み除去工程に用いることが好ましい。

【0103】図14、図15で示す補強枠形状を、半導体ウエハ形状（オリフラ付き、ノッチ付き半導体ウエハ、平面円形状）の相似形状（例えば、φ150mm半導体ウエハを粘着するウエハ表面保護粘着テープ用補強枠外径寸法としてφ200mmを選定する）とすることにより、用いる各半導体ウエハ処理設備のウエハ表面保護粘着テープ用補強枠ハンドリング手段を、半導体ウエハハンドリング手段と共用化できる。

【0104】図16は、方形補強枠の実施例を示し、アルミ合金製方形補強枠160と位置決め用切り欠け部161から構成されている。

【0105】この方形補強枠は、アルミ合金製であり、ウエハ表面保護粘着テープ用補強枠として用いる場合には、半導体ウエハ裏面研削加工工程、ドライエッチング処理による半導体ウエハ裏面歪み除去工程や半導体ウエハ裏面電極膜形成工程で用いることが好ましい。

【0106】さらに、この方形補強枠160は、チップ分離粘着テープ用補強枠として用い、半導体ウエハダイシング加工工程や半導体チップダイレクトピックアップダイボンディング工程に用いることが可能である。

【0107】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるパワーMOSFETを有する半導体装置の製造技術に適用した場合について説明したが、それに限定されるものではなく、例えば、通常のMOSFETやバイポーラトランジスタ等のような、他の素子を有する半導体装置の製造技術等に適用できる。

【0108】さらに、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) または、フラッシュメモリのEEPROM (Electrically Erasable Programmable ROM) 等のような半導体メモリ製品やマイクロプロセッサ等のような論理回路製品の製造技術にも適用できる。

【0109】特に、半導体装置を薄型化できることから、ICカード、メモリカード等のような薄型化が要求される製品用の半導体装置の製造方法に適用して効果がある。

【0110】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1) 本発明によれば、半導体ウエハを補強枠付き保護粘着テープで補強しながら、半導体ウエハを薄仕上げ加工できることから、半導体ウエハ薄仕上げ加工工程で、半導体ウエハに反りや撓みを生じさせることなく、半導体ウエハのハンドリングをはじめ、加工処理することができる。この結果、半導体ウエハ薄型化時に生じる半導体ウエハ反りや撓みによる半導体ウエハハンドリング時に発生する、半導体ウエハチップングや半導体ウエハ割れを防止できる。

【0111】(2) 本発明によれば、薄仕上げ加工した半導体ウエハを補強枠付き保護粘着テープで補強しながら、薄仕上げ加工された半導体ウエハ裏面に裏面電極膜を形成できる。この結果、裏面電極膜残留内部応力に伴う半導体ウエハ反り発生が防止できる。その上、裏面電極膜形成前後の半導体ウエハハンドリング時も、半導体ウエハを補強枠付き保護粘着テープで補強しながら、ハンドリングできることから、半導体ウエハにチップングや割れを生じさせることなく、高品質な薄型半導体ウエハの裏面電極膜形成ができる。

【0112】(3) 本発明によれば、薄仕上げ加工した

半導体ウエハ及び、薄仕上げ加工し、裏面電極を形成した半導体ウエハを補強枠付き保護粘着テープで補強しながら、補強枠付きチップ分離粘着テープ(ダイシングテープ)に貼付け、半導体ウエハを補強枠付きチップ分離粘着テープ(ダイシングテープ)に貼付けた後に、補強枠付き保護粘着テープを半導体ウエハから剥離する。

【0113】この結果、薄仕上げ加工した半導体ウエハ及び、薄仕上げ加工し、裏面電極を形成した半導体ウエハにチップングや、割れを生じさせることなく、補強枠付きチップ分離粘着テープ(ダイシングテープ)に貼付けることができる。さらに、枠付きチップ分離粘着テープ(ダイシングテープ)に貼付けた状態で、半導体チップ状にダイシング加工できることから、薄型化した半導体チップを割れ欠けなく、高品質に得ることができる。

【図面の簡単な説明】

【図1】本発明による実施例1の半導体装置の製造工程フロー図である。

【図2】本実施例1の半導体ウエハ表面保護形態の要部断面図である。

【図3】ウエハ裏面の研削加工の概念図である。

【図4】ウエハ裏面の研削加工の歪除去の概念図である。

【図5】ウエハ裏面電極の形成の概念図である。

【図6】本発明による実施例2の半導体装置(図1の半導体装置)の製造工程における半導体ウエハの要部断面図である。

【図7】図6に続く図1の半導体装置の製造工程における半導体ウエハの要部断面図である。

【図8】図7に続く図1の半導体装置の製造工程における半導体ウエハの要部断面図である。

【図9】本発明による実施例3の半導体装置の製造工程のフロー図である。

【図10】枠付きチップ分離粘着テープの貼付けの概念図である。

【図11】枠付き表面保護粘着テープの剥離の概念図である。

【図12】半導体ウエハのダイシング加工の概念図である。

【図13】本発明による実施例4の半導体装置の製造工程のフロー図である。

【図14】本発明による実施例5の半導体装置の製造方法に用いるウエハ表面保護粘着テープ用補強枠の実施例を示す図である。

【図15】本実施例5の半導体装置の製造方法に用いるウエハ表面保護粘着テープ用補強枠の別の実施例を示す図である。

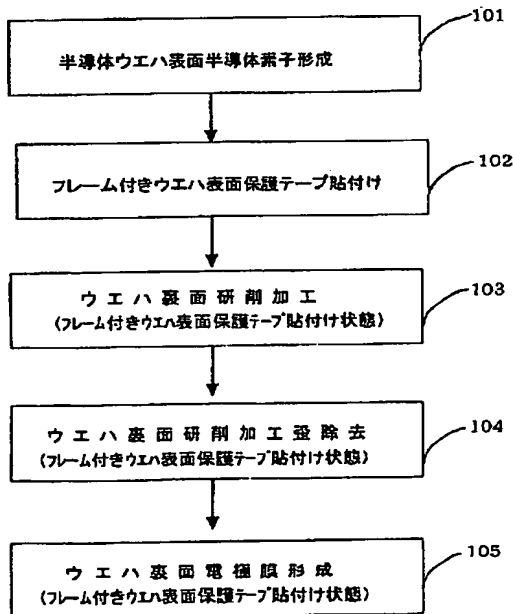
【図16】本実施例5の半導体装置の製造方法に用いるウエハ表面保護粘着テープ用補強枠の別の実施例を示す図である。

【符号の説明】

101…半導体ウエハ表面半導体素子形成工程、102…補強枠付きウエハ表面保護テープ貼付け工程、103…ウエハ裏面研削加工工程、104…ウエハ裏面研削加工歪除去工程、105…ウエハ裏面電極膜形成工程、201…半導体素子形成ウエハ、202…半導体素子形成面、203…補強枠、204…保護粘着テープ、301…ウエハ真空吸着回転テーブル、302…回転研削砥石、401…ウエハ真空吸着スピンドル、402…エッチング液滴下ノズル、403…エッチング液、501…冷却機構付きアノード電極、502…ウエハ押え、503…カソード電極、504…Auターゲット、505…直流電源、506…絶縁材、507…スパッタ室、508…真空排気、509…Arガス、1…半導体ウエハ、2a…半導体領域、2b…半導体領域、3…ゲート絶縁膜、4…ゲート電極、5…nウェル、6…半導体領域、7…半導体領域、8a…層間絶縁膜、8b…層間絶縁膜、9a…第1層配線、9b…第2層配線、10a…接続孔、11…表面保護膜、11a…保護膜、11b…保護膜、11c…保護膜、12…開口部、13…補強枠付きウエハ表面保護粘着テープ、13a…ウエハ表面粘着剤(A)、13b…耐熱テープ基材、16…ウエハ裏面半導体膜、901…半導体ウエハ表面半導体素子形成工

【図1】

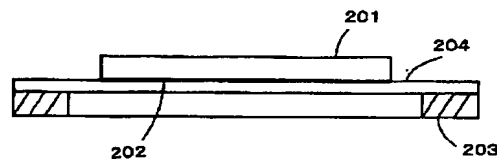
図1



程、902…半導体ウエハ素子面に補強枠付きウエハ表面保護テープ貼付け工程、903…ウエハ裏面研削工程、904…ウエハ裏面研削加工歪除去工程、905…ウエハ裏面電極膜形成工程、906…補強枠付きチップ分離粘着テープ貼付け工程、907…補強枠付きウエハ表面保護テープ剥離工程、908…半導体ウエハダイシング加工(チップ化)工程、1001…チップ分離補強枠、1002…チップ分離粘着テープ、1201…ダイシング砥石ブレード、1202…チップ分離ミゾ、1301…半導体ウエハ表面半導体素子形成、1302…半導体ウエハ素子面に枠付きウエハ表面保護テープ貼付け工程、1303…ウエハ裏面研削加工工程、1304…枠付きチップ分離粘着テープ貼付け工程、1305…枠付きウエハ表面保護テープ剥離工程、1306…半導体ウエハダイシング加工(チップ化)工程、20…半導体領域、QL…パワーMOSFET、QV…パワーMOSFET、BP…ボンディングパッド、140…ステンレス製オリフラ付き円形補強枠、141…位置決め用オリフラ部、150…フッ素樹脂製ノッチ付き円形補強枠、152…ウエハ表面保護粘着テープ、153…接着面、160…アルミ合金製方形補強枠、161…位置決め用切り欠け部。

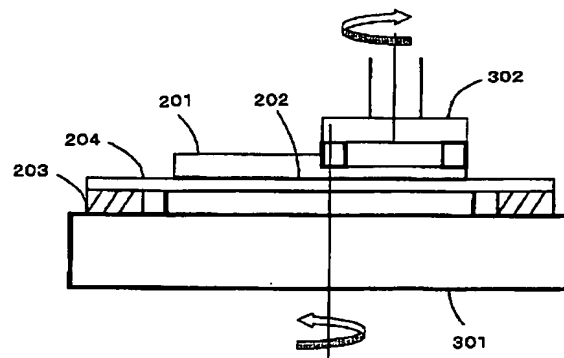
【図2】

図2



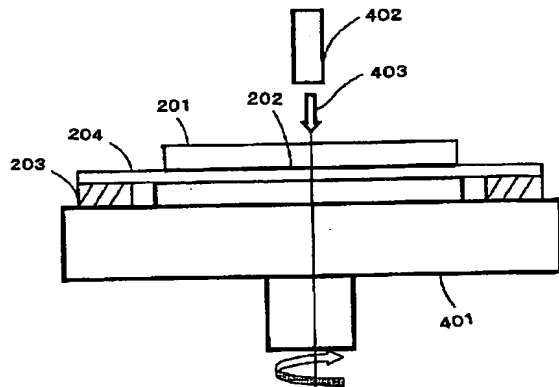
【図3】

図3



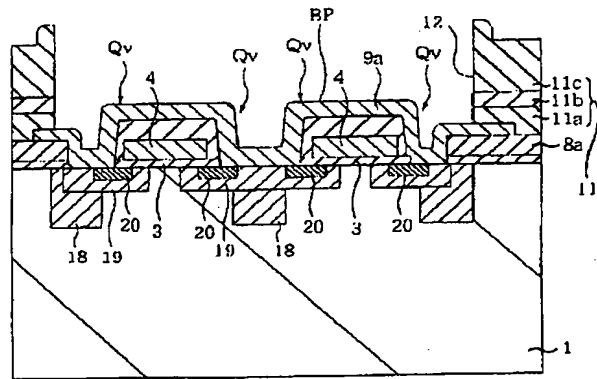
【図4】

図4



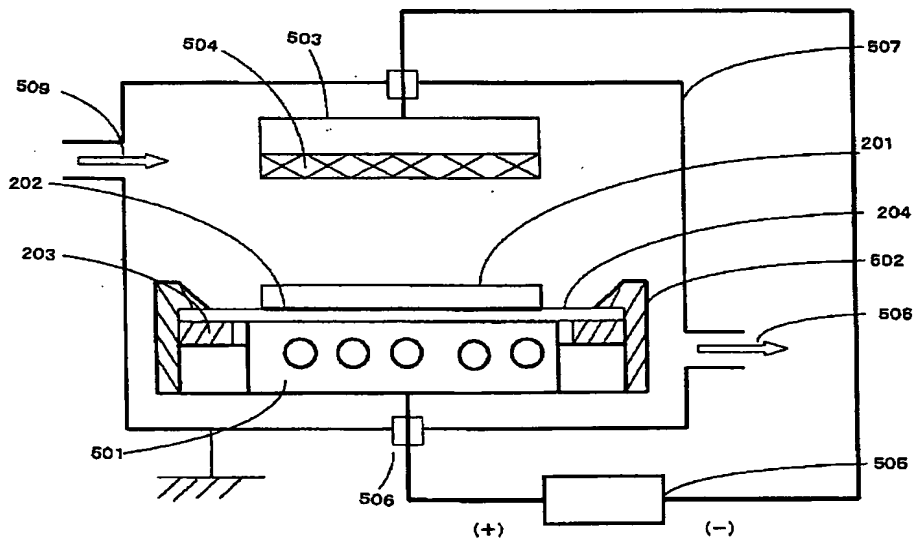
【図6】

図6



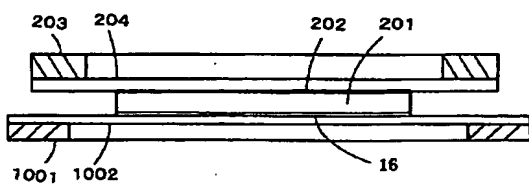
【図5】

図5



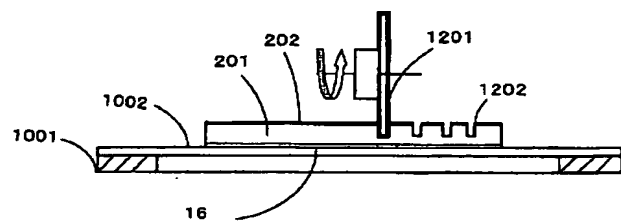
【図10】

図10



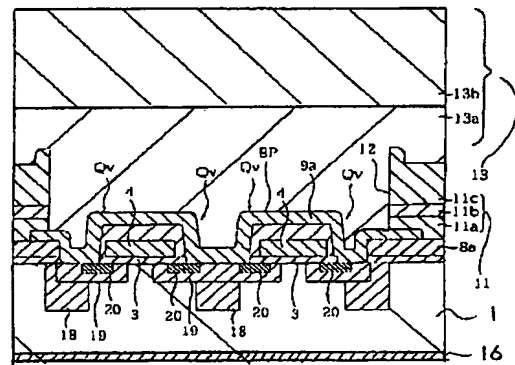
【図12】

図12



【图8】

图 8



【图 1-1】

图 11

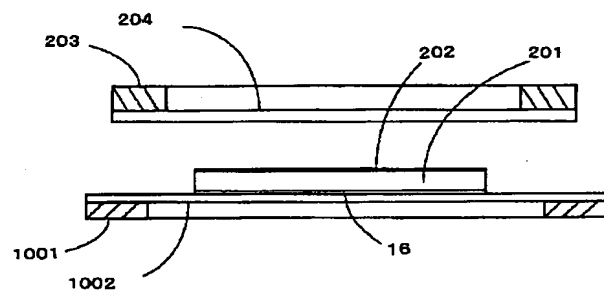
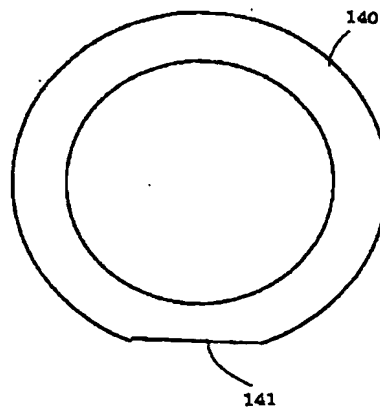
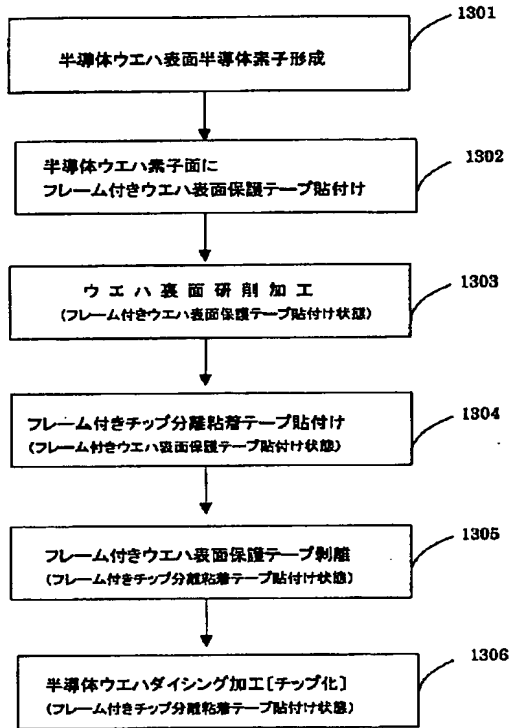


图 1.4



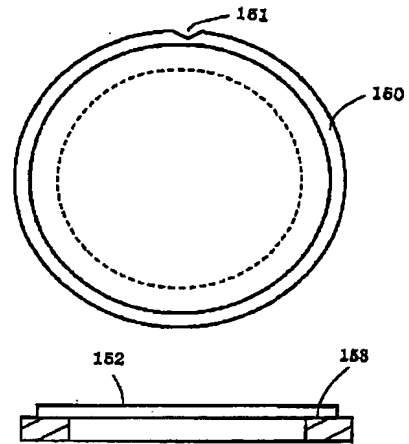
【図13】

図13



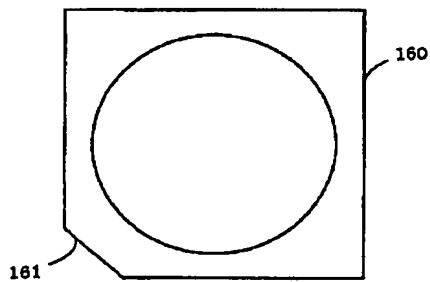
【図15】

図15



【図16】

図16



フロントページの続き

(51) Int. Cl.⁷
H01L 29/41

識別記号

FI
H01L 21/78
29/44

テーマコード(参考)

Q
B